

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Elektronische Logiksysteme ohne Rückführung, kombinatorische Schaltungen

I Einleitung

Diese Versuchsreihe beschäftigt sich mit dem Aufbau und der Analyse logischer Grundschaltungen, Codierer, Multiplexer und arithmetisch/logischer Schaltungen.

II Theoretische Grundlagen

TTL-Grundgatter

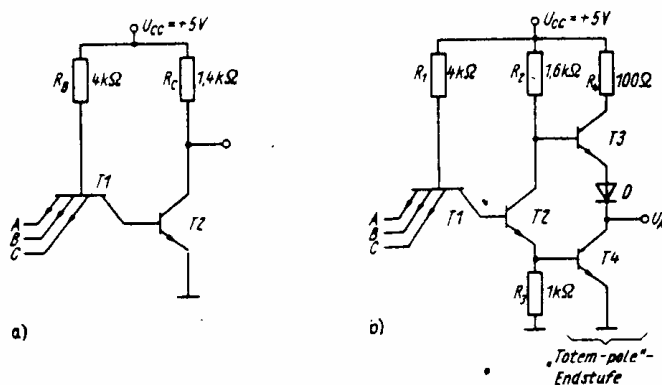


Abbildung 1: TTL-Grundgatter (a) vereinfacht (b) ausführliche Schaltung (aus /2/ M. Seifart "Digitale Schaltungen" S.76)

TTL-Grundgatter, wie in Abbildung 1 gezeigt, besitzen einen Mehrfachemittertransistor zur UND-Verknüpfung der Eingangssignale am Schalteingang.

Befindet sich mindestens ein Gattereingang auf L-Pegel, so beträgt das Basispotential 0,7...0,8V, wobei ein Basisstrom mit $I_{B1} \approx \frac{4,2V}{4k\Omega} \approx 1mA$ fließt.

T1 gelangt dann in den Übersteuerungsbereich und T2 ist gesperrt, daraus resultiert eine Ausgangsspannung der Schaltung von 5V (H-Pegel). Der Basisstrom von T1 fließt hierbei durch den auf tiefem Potential liegenden Schaltkreiseingang.

Liegen nun mehrere Schaltkreiseingänge auf L-Pegel, so erfolgt eine Aufteilung des Basisstroms, wobei die Summe gleich dem Basisstrom von $I_{B1} \approx 1mA$ ist.

Liegen nun alle Gattereingänge auf H-Pegel (z.B. 3,6V), so arbeitet T1 im Inversbetrieb. T2 ist in der Sättigung. Daher liegt am Ausgang die Kollektor-Emitter-Sättigungsspannung von 0,1...0,2V an. Das Basispotential von T1 liegt bei ca. 1,5V und der Basisstrom liegt bei

$$I_{B1} \approx \frac{3,5V}{4k\Omega} \approx 0,9mA.$$

Um einen kleinen inversen Stromverstärkungsfaktor zu erreichen, wählt man T1 so, dass der durch die Eingangsklemme des Gatters fließende Strom nur ca. 2% des Basisstroms beträgt ($\approx 18\mu A$).

Um kurze Schaltzeiten zu erreichen, verwendet man eine Gegentaktendstufe nach Abbildung 1b. Sie entspricht einer sogenannten „Totem-Pole“-Endstufe, bei der T3 (Emitterfolger) als Kollektorwiderstand für T4 wirkt.

Wird T4 gesperrt, so wirkt T3 als Emitterfolger mit einem Ausgangswiderstand von rund 70Ω, der einen relativ großen Ausgangsstrom liefern kann und eine Lastkapazität schnell umlädt.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Befindet sich T4 in der Sättigung, so sperrt T3 und es tritt ein niedriger Sättigungswiderstand von T4 von 10...15Ω als Ausgangswiderstand auf.

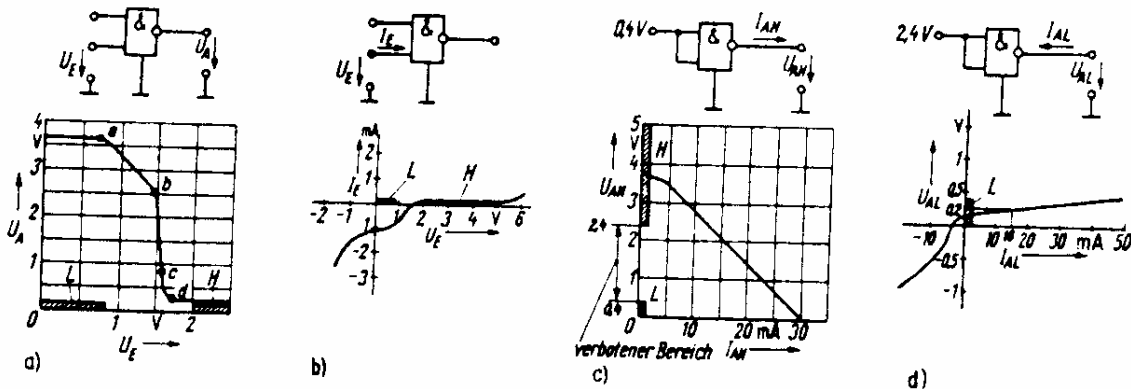


Abbildung 2: Statische Kennlinien und Schaltzeiten des (Standard)-TTL-Grundgatters (a) Übertragungskennlinie (b) Eingangskennlinie (c) UND (d) Ausgangskennlinie bei L-Pegel bzw. H-Pegel am Eingang (e) Verzögerungs-, Anstiegs- und Abfallzeiten;

mittlere Verzögerungszeit je Gatter: $t_D = \frac{1}{2}(t_{DHL} + t_{DLH})$

(aus /2/ M. Seifart "Digitale Schaltungen" S.77)

Die statische Übertragungskennlinie nach Abbildung 2a weist einige Knickstellen auf, die folgendermaßen bei Verbindung aller Gattereingänge zustande kommen:

Ist $U_E = 0V$, so beträgt das Basispotential von T2 ca. +0,2V, T2 ist also gesperrt. Mit $U_{BE4} = 0V$ ist T4 gesperrt und T3 befindet sich im aktiven Bereich mit $U_{BC} \approx 0$ (Spannungsabfälle über R_2 und R_3 sind vernachlässigbar).

Die Ausgangsspannung beträgt bezogen auf das Basispotential von T3 $U_A = (5 - 1,4)V = 3,6V$.

Punkt a:

T2 wird stromführend, T1 verbleibt im Sättigungsbereich; T2 und T3 sind also im aktiven Bereich und T4 ist gesperrt. Durch den Spannungsabfall über R_2 fällt das Basispotential von T3 und damit auch das Ausgangspotential U_A .

Punkt b:

T4 wird leitend und sowohl Basis- als auch Kollektorspannung von T3 sinken ab.

Punkt c:

T4 gelangt in Sättigung.

Zwischen Punkt c und d wird T3 gesperrt und T2 gesättigt; die Diode D sorgt dafür, dass T3 gesperrt ist.

Erhöht man die Eingangsspannung weiter, so gelangt T2 weiter in Sättigung und die Basisspannung von T2 wird bei ca. 1,6V festgehalten.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Punkt d:

Ein Großteil des Basisstroms von T1 fließt zum Kollektor wodurch T1 nun im inversen Bereich arbeitet. T2 und T4 sind gesättigt, T3 ist gesperrt, U_A beträgt ungefähr 0,2V. T4 wirkt nun als Stromsenke.

Je nach Ausgangspegel ist der Strombedarf eines TTL-Gatters unterschiedlich. Bei einem Standardgatter-Schaltkreis D100(7400) beträgt er 10...14mA bei U_{AL} und rund 4mA bei U_{AH} .

Wechselt der Ausgangspegel des Gatters, so entsteht ein Stromstoß (Spike) von 10..15mA für wenige ns. Dies hängt mit der Speicherzeit von T4 zusammen, die 5...10ns beträgt.

Während dieser Zeit besteht somit ein Kurzschluss zwischen Betriebsspannung und Masse.

Gatter mit offenem Kollektor

Zur Realisierung einer UND-Verknüpfung müssten mehrere TTL-Gatter zusammengeschaltet werden. Die Ausgänge der Gatter nach Abbildung 1 dürfen jedoch nicht parallel geschaltet werden, da ansonsten undefinierte Zustände bzw. Überlastungen der Endstufen auftreten würden.

Man verwendet daher spezielle Gatter (z.B. Typ D 103 D), bei denen T3, D und R_4 nicht vorhanden sind. Zusätzlich muss hierbei ein Kollektorwiderstand zugeschaltet werden.

Nachteil sind bei diesem Typ wesentlich höhere Schaltzeiten, da die Totem-Pole-Gegentakt-Endstufe nicht wirkt.

Gatter mit Dreizustands-Ausgang (Tri-State-Ausgang)

Man verwendet Schaltkreise mit Tri-State-Ausgang in Bussystemen. Ein zusätzliches Signal kann außer den Zuständen L und H (beide niederohmiger Ausgang) auch noch einen Zustand hervorrufen, bei dem der Ausgang hochohmig wird.

Dies gelingt durch Sperren der beiden Ausgangstransistoren. Das Schaltbild eines Schaltkreises mit Tri-State-Ausgang befindet sich im Anhang A1.

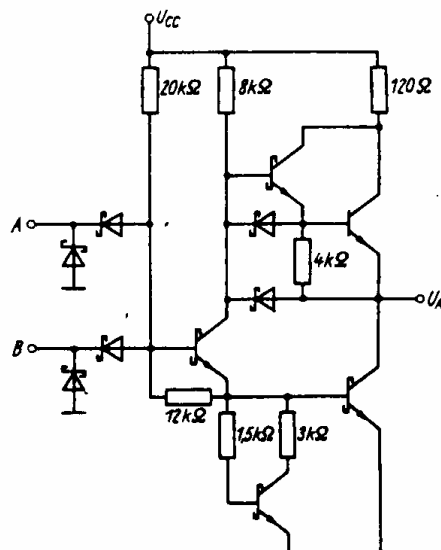


Abbildung 3: Low-power-Schottky TTL-Gatter der Schaltkreisreihe 74LS (aus /2/ M. Seifart "Digitale Schaltungen" S. 79)

Low-power-TTL

Gatter dieses Typs verbrauchen weniger als 10% der Verlustleistung eines Standardgatters, da die Widerstände im Schaltkreis wesentlich größer gewählt werden. Die Verzögerungszeit ist jedoch dreimal so lang.

High-speed-TTL

Sie haben kurze Schaltzeiten von rund 6ns, da die Widerstände kleiner als beim Standardgatter (12ns) gewählt werden. Die Verlustleistung ist allerdings doppelt so groß.

Schottky-TTL

Eine Schottky-Diode zwischen Kollektor und Basis verhindert die Sättigung des Transistors, wodurch keine Speicherzeiten mehr auftreten.

Die Verzögerungszeit beträgt 3ns und die Verlustleistung 2mW je Gatter, wobei der Herstellungspreis nahezu gleich bleibt.

Low-power-Schottky-TTL-Familie

Die Leistungsaufnahme entspricht der von Low-power-TTLs und die Schaltzeit der von Standard-TTLs. Daher werden sie anstelle der Low-power- und High-speed-TTLs zunehmend verwendet.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Grundlagen der Schaltalgebra

In der Schaltalgebra gilt folgende Reihenfolge zur Durchführung von Rechenoperationen:

- 1.) Negation
 - 2.) UND-Verknüpfung (Konjunktion)
 - 3.) ODER-Verknüpfung (Disjunktion)
- } „Punktrechnung geht vor Strichrechnung“

Beispiel an einer Schaltung:

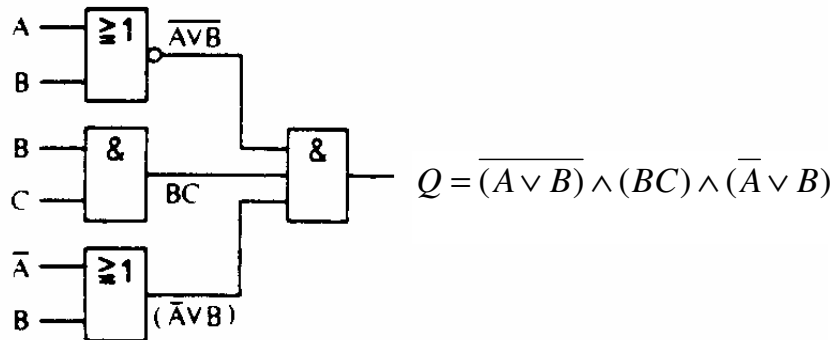


Abbildung 4: (aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 74)

De-Morgan-Gesetz

$$Q = A \wedge B = \overline{\overline{A} \vee \overline{B}}$$

Das De-Morgan-Gesetz wird in der Schaltungstechnik zur Technologieanpassung verwendet. Diese wird benötigt, wenn man nur gewisse Bauteile zur Verfügung hat. Ein UND-Gatter kann nach dem Rechenbeispiel somit auch durch ein NOR- und zwei invertierend Gatter realisiert werden.

Grundgatter mit NAND-Gliedern

Negation

$$Q = \overline{A}$$

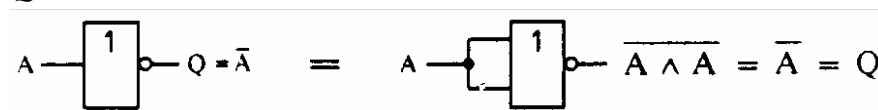


Abbildung 5: Negation mit NAND-Gattern (aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 75)

UND

$$Q = AB$$

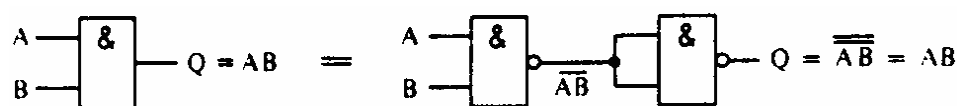


Abbildung 6: UND-Verknüpfung mit NAND-Gattern (aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 75)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

ODER

$$Q = A \vee B = \overline{\overline{A} \wedge \overline{B}}$$

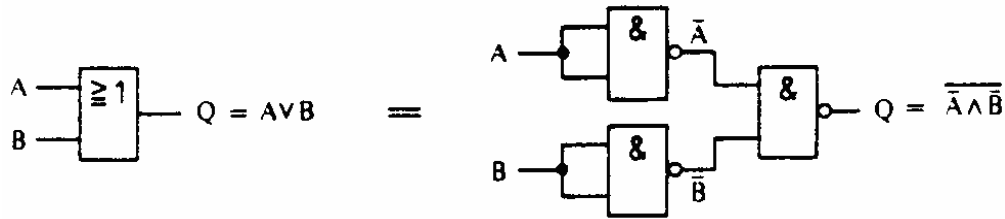


Abbildung 7: ODER-Verknüpfung mit NAND-Gattern
(aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 75)

NOR

$$Q = \overline{A \vee B} = \overline{\overline{\overline{A} \wedge \overline{B}}}$$

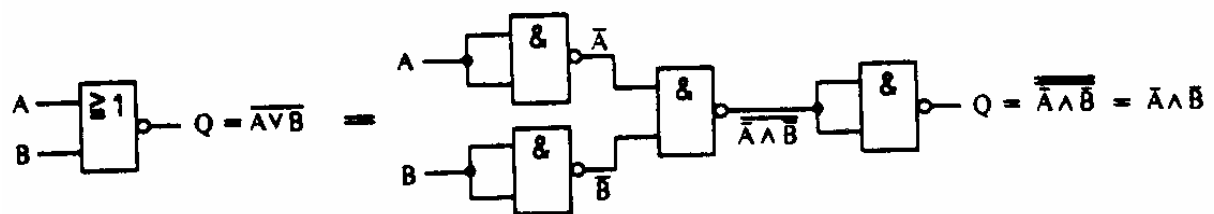


Abbildung 8: NOR-Verknüpfung mit NAND-Gattern
(aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 76)

EXOR

$$Q = \overline{A}B \vee A\overline{B} = \overline{\overline{\overline{A}B} \wedge \overline{A\overline{B}}}$$

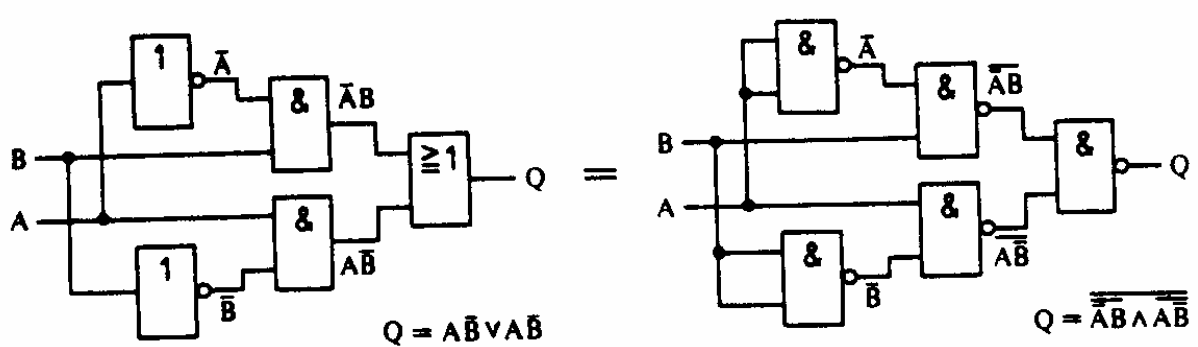


Abbildung 9: EXOR-Verknüpfung mit NAND-Gattern
(aus /3/ E. Leonhard: "Grundlagen der Digitaltechnik" S. 76)

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Schaltungsminimierung mit dem KV-Diagramm am Beispiel

Gegeben sei folgende Schaltfunktion:

$$y_C = (\overline{x_3} \overline{x_2} x_1 x_0) \vee (\overline{x_3} x_2 \overline{x_1} x_0) \vee (\overline{x_3} x_2 x_1 \overline{x_0}) \vee (\overline{x_3} x_2 \overline{x_1} \overline{x_0}) \vee (\overline{x_3} x_2 x_1 x_0) \vee (\overline{x_3} x_2 \overline{x_1} x_0)$$

Diese entspricht in dem folgenden KV-Diagramm (Abbildung 10) den Feldern:

0 2 3 5 6 8

Was man direkt aus den einzelnen Schaltbedingungen ersehen kann, wenn man diese binär liest: 0 0 0 0 0 0 1 0 0 0 1 1 0 1 0 1 0 1 1 0 1 0 0 0

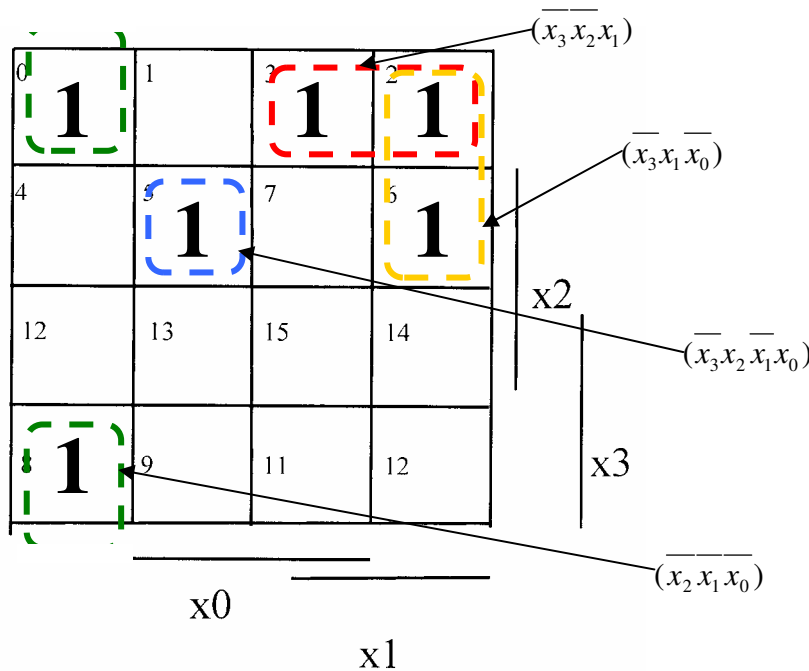


Abbildung 10: KV-Diagramm zur gegebenen Schaltfunktion mit Minimierungsschleifen

Ziel der Minimierung ist es, möglichst große Schleifen zu Zweierpotenzen zu finden, wobei man auch über den Rand gehen darf, sofern sich stets nur eine Stelle (= 1 Bit) verändert. Vier mögliche Schleifen sind in Abbildung 10 eingezeichnet.

Die resultierende Schaltfunktion besteht nur noch aus den vier gefundenen Schleifen die folgenden minimierten Ausdruck bilden:

$$y_C = (\overline{x_3} x_2 x_1) \vee (\overline{x_3} x_1 x_0) \vee (\overline{x_2} x_1 x_0) \vee (\overline{x_3} x_2 x_1 x_0)$$

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

Umcodierer

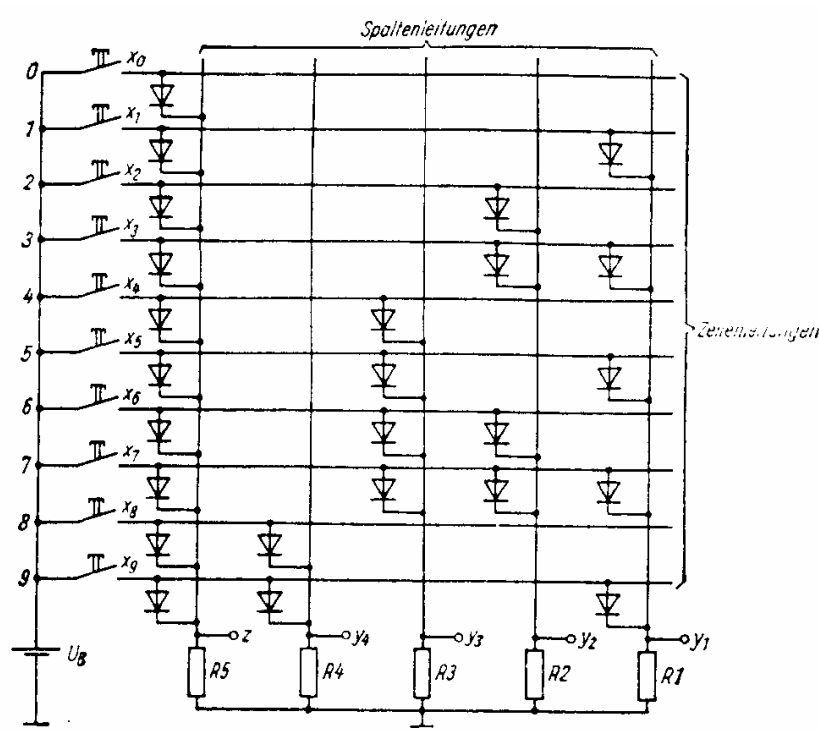


Abbildung 11: Umcodierer als Diodenmatrix von Dezimal- auf vierstellige Binärzahlen
 (aus /4/ J. Matschke: „Von der einfachen Logikschaltung zum Mikrorechner“ S. 72)

Betrachtet man die in Abbildung 11 gezeigte Diodenmatrix, so ist die Funktionsweise des Umcodierers leicht ersichtlich.

Für eine gegebene Eingangsbelegung (0 bis 9 auf H-Pegel) ergibt sich eine festgelegte Ausgangsbelegung, die abhängig von der Schaltfunktion ist. Die Schaltfunktion wird hierbei über einzeln gesteckte Dioden realisiert.

Ist zum Beispiel der Eingang 7 auf H-Pegel, so ergibt sich eine Ausgangsbelegung, dass an y_1, y_2 und y_3 ein Signal liegt.

Zur Kontrolle wird außerdem der Ausgang Z benutzt, bei dem bei jeder Eingangsbelegung bis auf 0123456789 ein Signal vorliegt.

Multiplexer

Bei Multiplexern wird je nach gewählter Adresse einer der Eingänge 0...N auf den Ausgang gelegt. Sie entsprechen daher in gewisser Weise Kodiererschaltungen, da die Eingänge analog zu ihnen binär kodiert werden.

Demultiplexer

Bei Demultiplexern wird je nach gewählter Adresse einer der Ausgänge 0...N auf den Eingang gelegt. Sie entsprechen daher dem Gegenstück von Multiplexern.

Die Prinzipschaltungen von Multiplexern und Demultiplexern sind im Anhang A2 und A3 abgebildet.

Protokoll zum Fortgeschrittenenpraktikum I**Elektronische Messtechnik im WS 2006/2007****1-Bit-Halbadder**

1-Bit-Halbadder rechnen ähnlich im Binärsystem wie wir im Dezimalsystem.

Es gibt folgende Rechenregeln für die bitweise Addition zweier Binärzahlen:

- 1.) $0 + 0 = 0$
- 2.) $0 + 1 = 1$
- 3.) $1 + 0 = 1$
- 4.) $1 + 1 = 0$ plus Übertrag 1

Aus diesen Regeln ist ersichtlich, dass der Addierer neben den zwei Eingängen A und B über zwei Ausgänge, den Summenausgang S und den Übertragsausgang C, verfügen muss.

Es gilt dann: $C_0 = A_0 B_0$
 $S_0 = \overline{A_0} B_0 \vee A_0 \overline{B_0} = A_0 \oplus B_0$ für die nullte Stelle.

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

III Versuchsteil

Wirkungsweise von NAND-Gattern

III.i.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- Betriebsspannungsquelle
- NAND-Gatter in TTL-Technik
- 2 Voltmeter
- 1 Amperemeter
- Laborsteckerkabel

Mit Hilfe zweier Voltmeter und eines Amperemeters werden gleichzeitig die Eingangsspannung, die Ausgangsspannung und der Eingangsstrom eines NAND-Gatters bei veränderlicher Eingangsspannung aufgenommen. Die Messung erfolgt nach den Schaltbildern aus Abbildung 1a und 1b.

III.i.b Versuchsdurchführung

Die Spannung wird von 0V bis 4V erhöht, dabei wird im Bereich der verbotenen Spannung die Eingangsspannung so erhöht, dass die in der Theorie erwähnten charakteristischen Punkte a,b,c und d aus den Messwerten ableitbar sind.

Aus den Messwerten der Tabelle 1 im Anhang ergibt sich folgendes Messbild für

a) $U_A = f(U_E)$ (Abbildung 12)

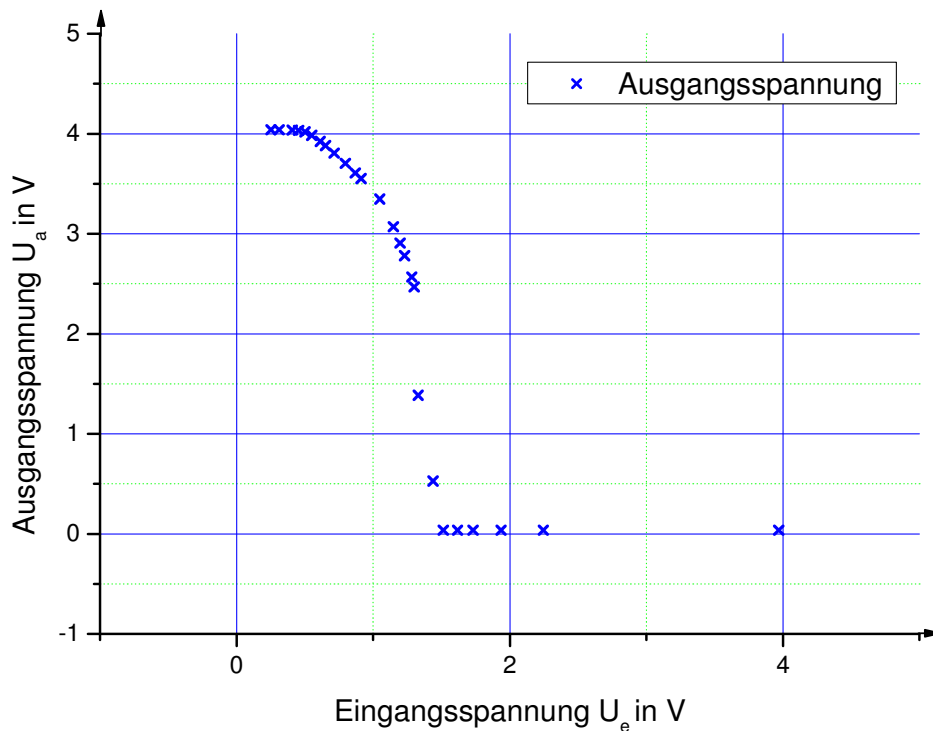


Abbildung 12: Ausgangsspannung als Funktion der Eingangsspannung eines NAND-TTL-Gatters

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

b) $I_E = f(U_E)$ (Abbildung)

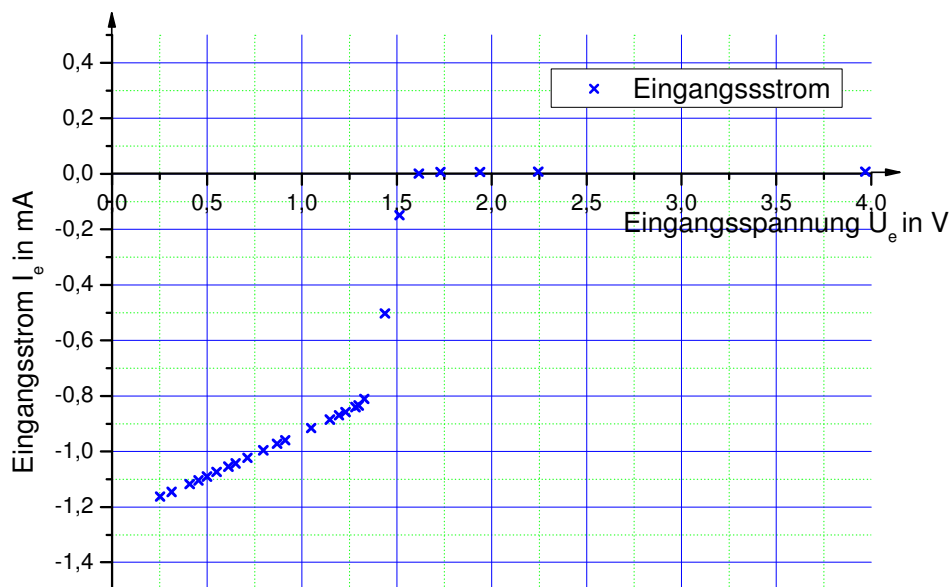


Abbildung 13: Eingangsstrom als Funktion der Eingangsspannung eines NAND-TTL-Gatters

III.i.c Zusammenfassung und Schlussfolgerungen

Die Spannungsmessungen entsprechen in vollem Umfang den theoretischen Erwartungen. Auch die Messung des Eingangsstroms entspricht bis auf den fehlenden Bereich negativer Eingangsspannung den theoretischen Erwartungen. Die charakteristischen Punkte sind bei a)

Punkt	Eingangsspannung in V	Ausgangsspannung in V
a	0,5005	4,0180
b	1,3000	2,4689
c	1,4375	0,5291
d	1,5144	0,0372

Der Nulldurchgang des Eingangsstromes bei b) ist bei ca. 1,6V Eingangsspannung, was Abbildung 1b sehr nahe kommt.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Logische Funktionen

III.ii.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- NAND-Gatter
- 1 Voltmeter
- Laborsteckerkabel

Es werden OR-, NOR- und EXOR-Gatter nach der Theorie (Seite 4f) aufgebaut.

III.ii.b Versuchsdurchführung

Jede logische Schaltung wird überprüft, ob sie mit der entsprechenden Wahrheitstabelle übereinstimmt.

Für das **OR-Gatter** ergibt sich:

Versuch			Theorie		
Eingänge		Ausgang	Eingänge		Ausgang
a	b	f	a	b	f
0	0	0	0	0	0
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	1

Für das **NOR-Gatter** ergibt sich:

Versuch			Theorie		
Eingänge		Ausgang	Eingänge		Ausgang
a	b	f	a	b	f
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	0	1	1	0

Für das **EXOR-Gatter** ergibt sich:

Versuch			Theorie		
Eingänge		Ausgang	Eingänge		Ausgang
a	b	f	a	b	f
0	0	0	0	0	0
0	1	1	0	1	1
1	0	1	1	0	1
1	1	0	1	1	0

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

III.ii.c Zusammenfassung und Schlussfolgerungen

Die mit NAND-Gattern realisierten logischen Schaltungen entsprechen den theoretischen Erwartungen (Wahrheitstabellen) im vollen Umfang.

**Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007**

Codeconvertierung

III.iii.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- a)
 - Diodenmatrix
 - Steckdioden
 - Spannungsquelle (ca. 8V Gleichspannung)

- b)
 - 7-Segmentanzeige
 - Betriebsspannungsquelle
 - NAND-Gatter
 - Laborsteckerkabel

a) Es wird eine Diodenmatrix nach Abbildung 12 (jedoch ohne Kontrollleuchte) mit Dioden bestückt, um eine Codeconvertierung von Dezimalzahlen zu vierstelligen Binärzahlen zu realisieren. Die Ausgänge werden mit Leuchtdioden beschaltet.

b) Es wird eine Schaltung zur Codeconvertierung von BCD-Code in den Code für ein Segment der 7-Segmentanzeige aufgebaut. Dabei wird das Segment „b“ angesteuert.

III.iii.b Versuchsdurchführung

a) Die Antwort der Leuchtdioden der Diodenmatrix wird auf Richtigkeit überprüft. Es ergeben sich folgende Antworten:

Dezimaleingabe	Binärausgabe LED... (Versuch)				Binärausgabe LED... (Theorie)			
	D	C	B	A	D	C	B	A
0								
1				X				X
2			X				X	
3			X	X			X	X
4		X				X		
5		X		X		X		X
6		X	X			X	X	
7		X	X	X		X	X	X
8	X				X			
9	X			X	X			X

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

b) Die Schaltung zur Ansteuerung des Segments „b“ ergibt sich folgendermaßen aus der Funktionstabelle der gesamten Anzeige:

Dezimal- äquivalent	x3	x2	x1	x0	a	b	c	d	E	f	g
0	L	L	L	L	H	H	H	H	H	H	
1	L	L	L	H	H	H	L				
2	L	L	H	L	H	L	H	H		H	H
3	L	L	H	H	H	H	H			H	H
4	L	H	L	L	H	H			H		H
5	L	H	L	H		H	H		H	H	H
6	L	H	H	L		H	H	H	H		H
7	L	H	H	H	H	H				H	
8	H	L	L	L	H	H	H	H	H	H	H
9	H	L	L	H	H	H			H	H	H
10	H	L	H	L							
11	H	L	H	H							
12	H	H	L	L							
13	H	H	L	H							
14	H	H	H	L							
15	H	H	H	H							

Schaltungsminimierung mit dem KV-Diagramm

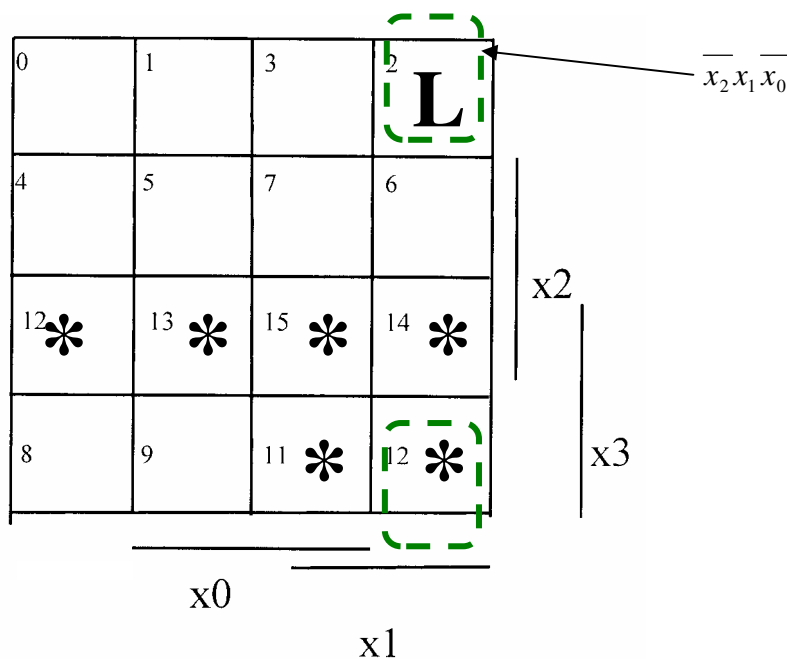


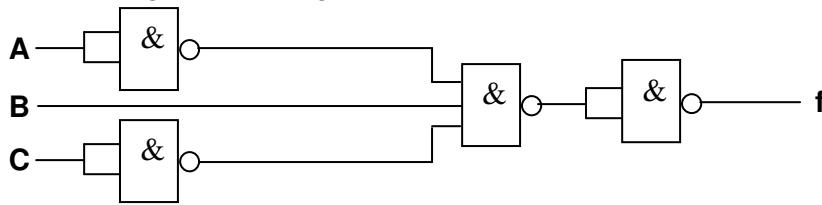
Abbildung 14: KV-Diagramm zur gegebenen Schaltungsfunktion mit Minimierungsschleifen

Die resultierende Schaltungsfunktion besteht nur aus der einen gefundenen Schleife die folgenden minimierten Ausdruck bildet:

$$y_c = \overline{x_2}x_1x_0 = \overline{C}BA$$

Protokoll zum Fortgeschrittenenpraktikum I**Elektronische Messtechnik im WS 2006/2007**

Die Schaltung wird wie folgt mit NAND-Gattern realisiert:



Bei Zusammenschaltung von Diodenmatrix, NAND-Gatter-Schaltung und 7-Segmentanzeige leuchtet das Segment „b“ nur beim Drücken der entsprechenden Dezimalzahlen. Hierbei ist zu beachten, dass das Segment Low-aktiv ist!

III.iii.c Zusammenfassung und Schlussfolgerungen

- Die Codeconvertierung von Dezimal- und Binärzahlen mit der Diodenmatrix stimmt in vollem Umfang mit der Theorie überein.
- Die Ergebnisse entsprechen in vollem Umfang den theoretischen Erwartungen.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Multiplexer

III.iv.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- Multiplexer-Modul
- Betriebsspannungsquelle
- Oszilloskop Agilent 54603B
- Funktionsgenerator für Sinussignal (eig. Signal)
- Funktionsgenerator für Rechtecksignal (Takt)

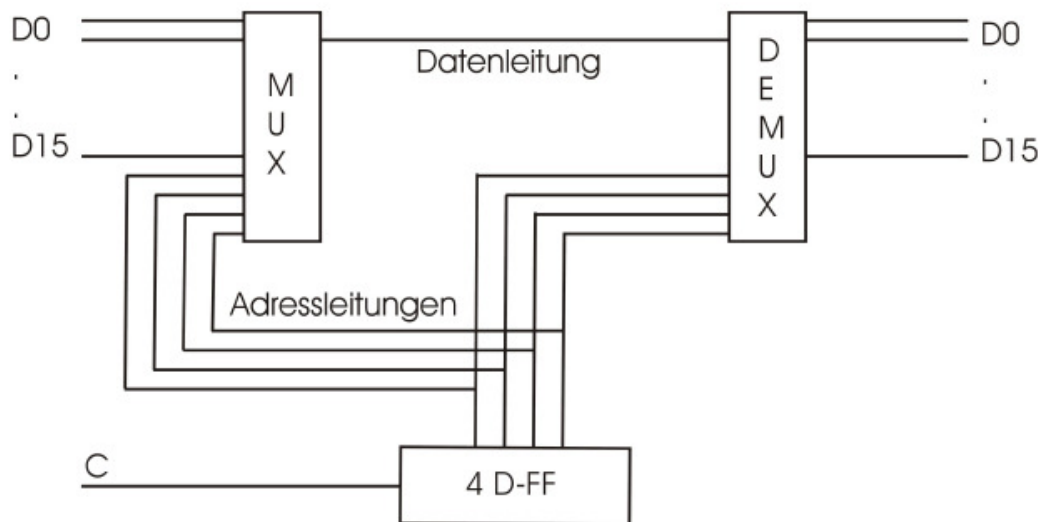


Abbildung 15: Multiplexer-Demultiplexer-Schaltung zur Datenübertragung
(aus der Versuchsbeschreibung „Kombinatorische Schaltungen“ der Universität Rostock)

Es wird eine Multiplexer-Demultiplexer-Schaltung nach Abbildung 15 realisiert. Zu beachten ist, dass die Inhibit-Anschlüsse von Multiplexer und Demultiplexer auf Masse gelegt werden, sodass beide alle Kanäle aktivieren.

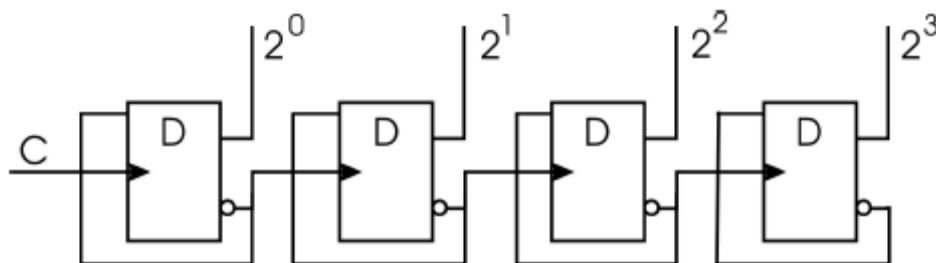


Abbildung 16: Zähler für die Adresswahl
(aus der Versuchsbeschreibung „Kombinatorische Schaltungen“ der Universität Rostock)
Die unterschiedlichen Adressen werden mit einem Zähler nach Abbildung 16 gewählt.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

III.iv.b Versuchsdurchführung

Es wird die Datenübertragung mit Hilfe von Multiplexern und Demultiplexern bei unterschiedlicher Taktfrequenz betrachtet.

Für eine Taktfrequenz von 104 Hz des Adresszählers ergibt sich folgendes Messbild (Abbildung 17):

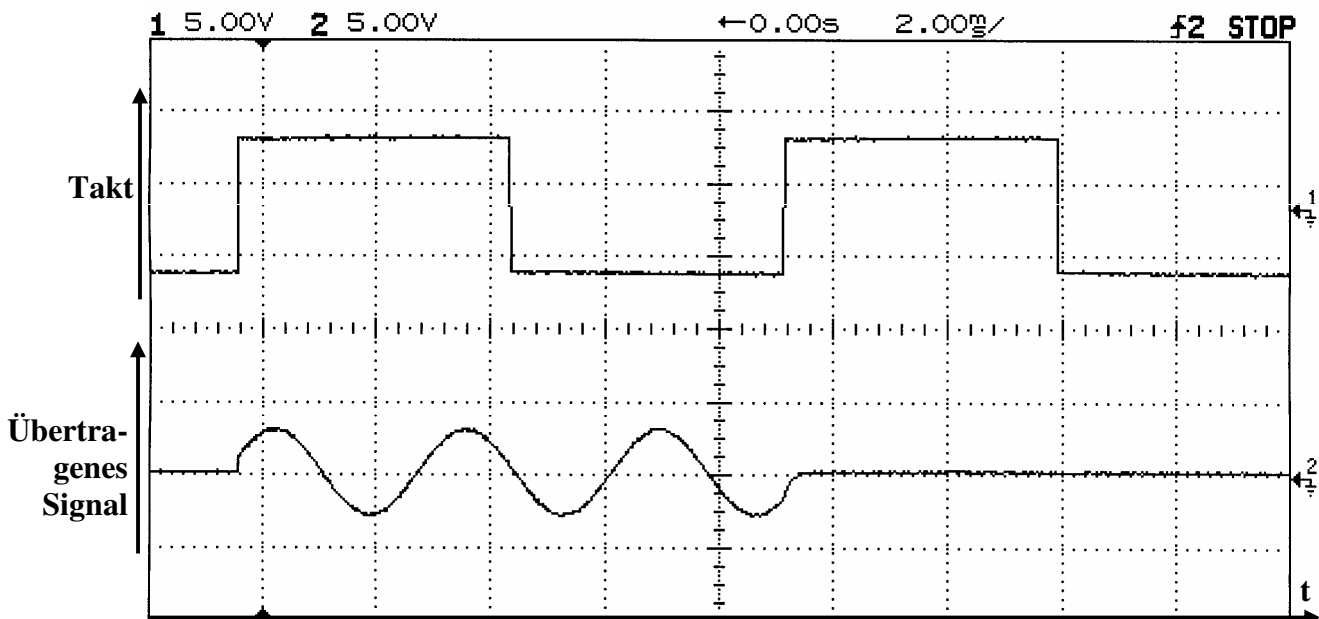


Abbildung 17: Signalübertragung mit Multiplexer und Demultiplexer bei einer Taktfrequenz von 104 Hz des Adresszählers

Für eine Taktfrequenz von 108,5 kHz des Adresszählers ergibt sich folgendes Messbild (Abbildung 18):

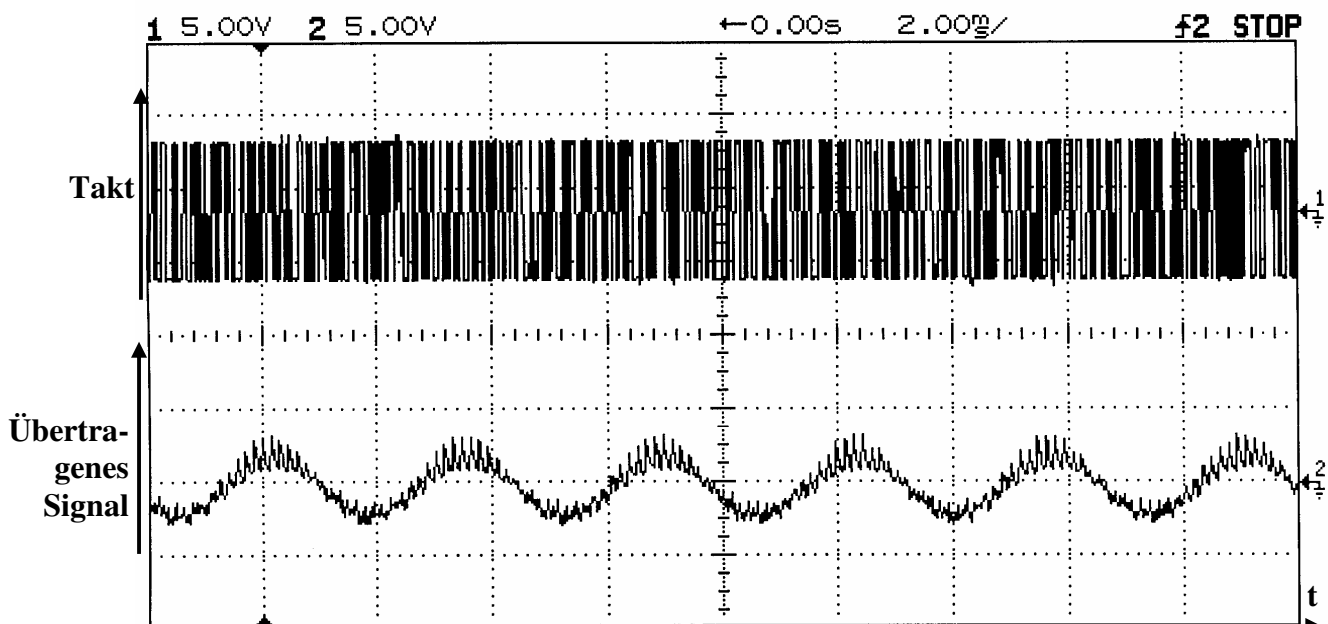


Abbildung 18: Signalübertragung mit Multiplexer und Demultiplexer bei einer Taktfrequenz von 108,5 kHz des Adresszählers

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Die Störungen bei einer hohen Taktfrequenz können weitestgehend mit Hilfe eines Kondensators zur Stabilisierung des Signals am Ausgang behoben werden, sodass sich für eine Kapazität von 40nF folgendes Messbild ergibt (Abbildung 19):

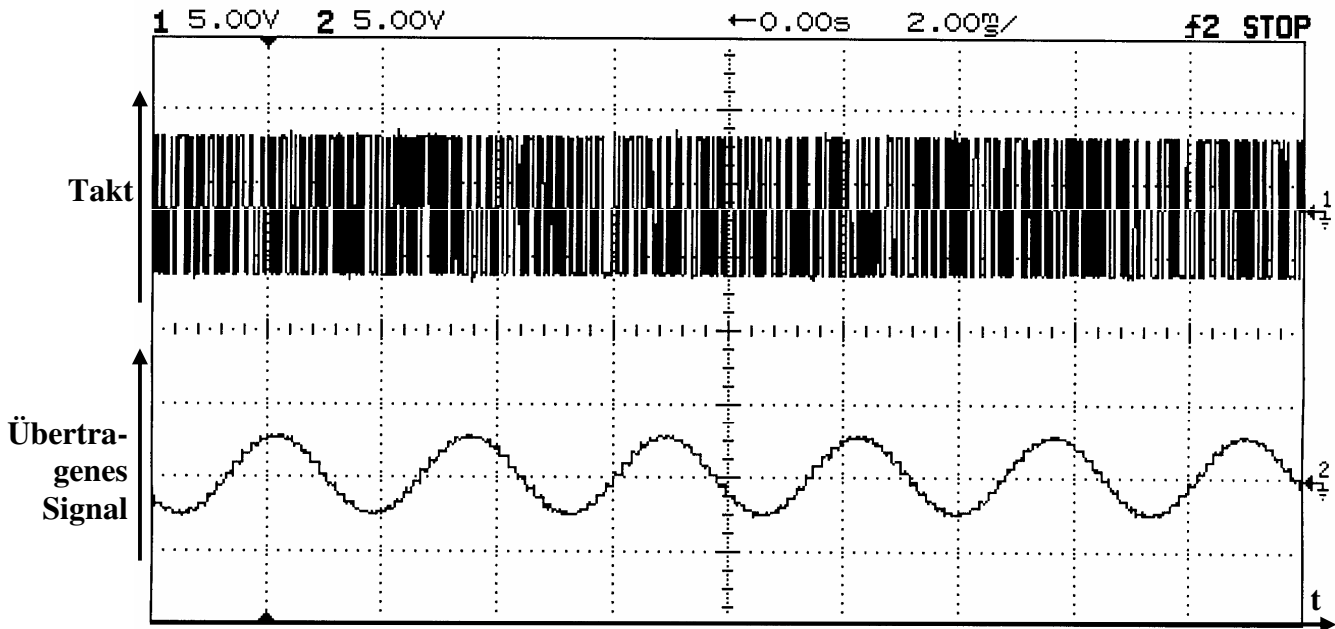


Abbildung 19: Signalübertragung mit Multiplexer und Demultiplexer bei einer Taktfrequenz von 108,5 kHz des Adresszählers mit einem Kondensator von 40nF zur Signalglättung

III.iv.c Zusammenfassung und Schlussfolgerungen

Beachtet man das Verhältnis zwischen Übertragungssignal und Taktrate, so fällt auf, dass bei niedrigen Taktfrequenzen nur Teile des Signals übertragen werden. Diesem kann mit hohen Taktfrequenzen entgegengewirkt werden. Allerdings treten bei hohen Taktfrequenzen Fehler bei der Signalübertragung auf, die mit Hilfe geeigneter Maßnahmen (z.B. einem Kondensator) behoben werden können.

Würden mehrere Signale gleichzeitig übertragen werden und lägen die Übertragungsadern nebeneinander, so könnten weitere Fehler durch gegenseitige Signalbeeinflussungen auftreten. Diese Effekte treten z.B. in der Netzwerktechnik von Computern auf, wenn die einzelnen Signaladern falsch verdrillt oder unzureichend geschirmt werden.

Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

Arithmetische Schaltungen – 1-Bit-Halbadder

III.v.a Versuchsaufbau

Die für diesen Versuch benötigten Materialien sind:

- EXOR-Schaltung mit NAND-Gattern nach Versuch III.ii (→Summe)
 - AND-Schaltung mit NANA-Gattern nach Versuch III.ii (→Übertrag)
-
- oder einfacher:

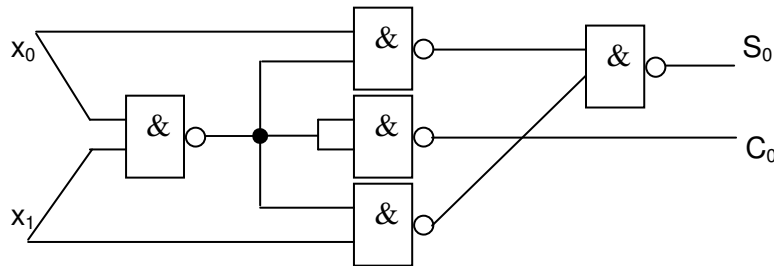


Abbildung 20: 1-Bit-Halbadder (minimierte Schaltung)

Es wird ein 1-Bit-Halbadder nach Abbildung 20 aufgebaut.

III.v.b Versuchsdurchführung

Die 1-Bit-Halbadder wird auf Funktion untersucht und mit der Funktionstabelle verglichen:

Eingänge		Ausgänge (Versuch)		Ausgänge (Theorie)	
x_1	x_0	S_0	C_0	S_0	C_0
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	0	1	0
1	1	0	1	0	1

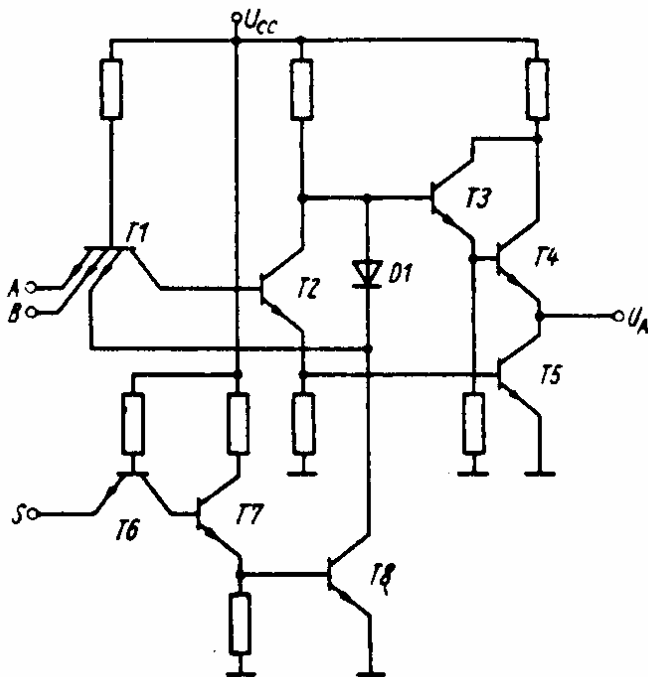
III.v.c Zusammenfassung und Schlussfolgerungen

Die Versuchsergebnisse entsprechen den theoretischen Erwartungen (Funktionstabelle) im vollen Umfang.

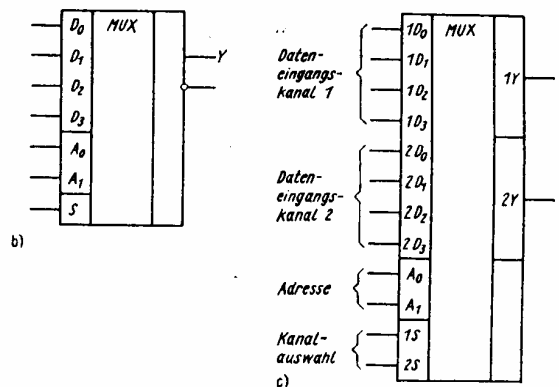
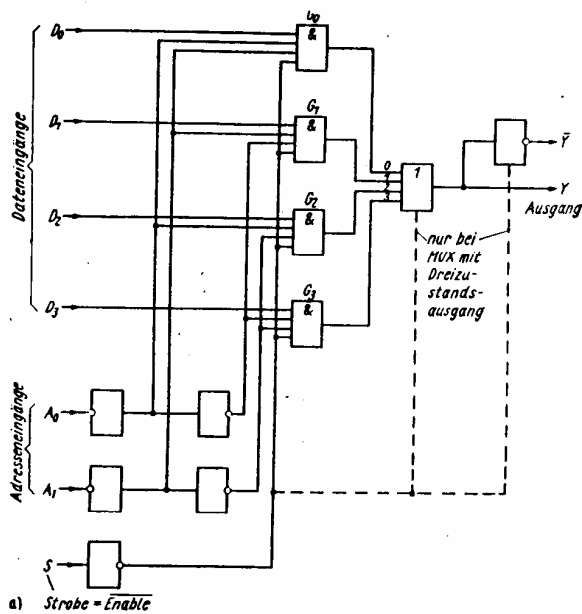
Protokoll zum Fortgeschrittenenpraktikum I

Elektronische Messtechnik im WS 2006/2007

IV Anhang



Anhang A 1: TTL-Gatter mit Dreizustands-Ausgang (aus /2/ M. Seifart: „Digitale Schaltungen“ S. 79)



Eingänge		Ausgänge		
Auswahl	Daten	Strobe (S)	LS 153	LS 253
A ₁ A ₀	D ₃ D ₂ D ₁ D ₀	S	Y	Y
X X	X X X X	H	L	Z
L L	X X X L	L	L	L
L L	X X X H	L	H	H
L H	X X L X	L	L	L
L H	X X H X	L	H	H
H L	X L X X	L	L	L
H L	X H X X	L	H	H
H H	L X X X	L	L	L
H H	H X X X	L	H	H

Anhang A 2: Multiplexer (aus /5/ M. Seifart: „Digitale Schaltungen“ S. 162)

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

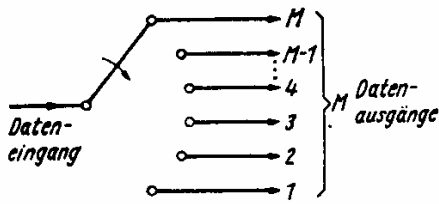
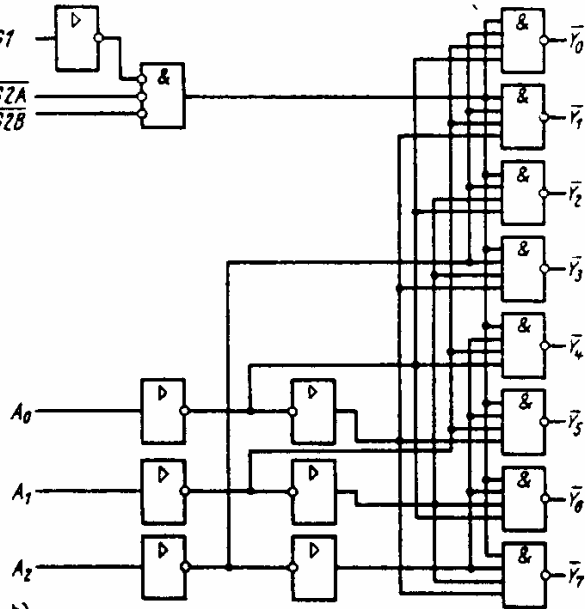
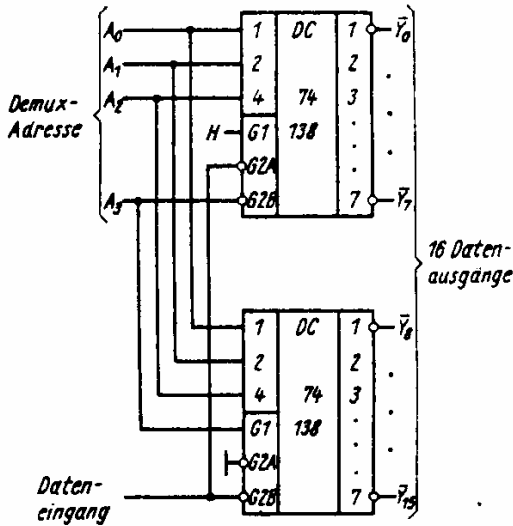


Bild 6.13
Prinzip eines 1-auf-M-Demultiplexers



a)

b)

Eingänge			Adresse			Ausgänge							
Enable													
G1	$\overline{G2A}$	$\overline{G2B}$	A ₂	A ₁	A ₀	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
L	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	L	L
H	L	L	L	L	H	H	H	H	H	H	L	H	H
H	L	L	L	H	L	H	H	H	H	L	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	L	H	H	H	H	H
H	L	L	H	H	L	H	L	H	H	H	H	H	H
H	L	L	H	H	H	L	H	H	H	H	H	H	H

c)

Anhang A 3: Demultiplexer (aus /5/ M. Seifart: „Digitale Schaltungen“ S. 168)

Protokoll zum Fortgeschrittenenpraktikum I
Elektronische Messtechnik im WS 2006/2007

Tabelle 1: Messdaten zum Verhalten eines NAND-Gatters in TTL-Technik

U_e in V	U_a in V	I_e in mA
0,2524	4,0395	-1,163
0,3123	4,0393	-1,146
0,4078	4,0379	-1,118
0,4544	4,0332	-1,105
0,5005	4,0180	-1,0905
0,5510	3,9840	-1,0745
0,6120	3,9254	-1,0555
0,6508	3,8821	-1,043
0,7135	3,8075	-1,023
0,7954	3,7043	-0,9965
0,8692	3,6085	-0,9725
0,9118	3,5517	-0,9595
1,0483	3,3460	-0,916
1,1472	3,0695	-0,885
1,1953	2,9072	-0,870
1,23075	2,7816	-0,858
1,2820	2,5679	-0,841
1,3000	2,4689	-0,835
1,3282	1,3869	-0,811
1,4375	0,5291	-0,503
1,5144	0,0372	-0,1485
1,61675	0,0371	0,001
1,7302	0,0371	0,007
1,9369	0,0371	0,007
2,2465	0,0371	0,0075
3,9691	0,0371	0,0085